**X2X IP core**

**VLSI Technology**

**X2X IP core**

**2020.3.28**

**1** **TỔNG QUAN N**

Nội dung chương này sẽ trình bày tổng quan về lõi IP X2X

* Đặc điểm
* Cấu hình X2X
* Giao tiếp
* Sơ đồ khối
* Hoạt động
  1. **Đặc điểm**

Lõi IP X2X (synchronous AXI4 to AXI4 bridge) sẽ support các đặc điểm sau:

* Hỗ trợ nhiều master AXI có thể kết nối tới nhiều AXI slave. Số lượng master AXI và slave AXI là linh động, có thể cấu hình được.
* Độ rộng bus dữ liệu 32/64/128/256/512/1024.
* Hộ trợ 3 loại burst: fix, incree, wrap.
* X2X phiên bản này sẽ support các loại phân xử sau: Fix, Round Robin, FIFO có cấu hình mức ưu tiên.
* Độ rộng từng ô nhớ của FIFO thay đổi linh động tùy thuộc vào độ rộng bus dữ liệu.
* Hỗ trợ outstanding (phát nhiều địa chỉ chồng lấn): Do FIFO được thiết kế với độ sâu có thể thay đổi linh động.
* Xung clk: X2X sẽ sử dụng nguồn clk đồng bộ và hỗ trợ 3 chế độ:
* Mode 1: Master AXI và Slave AXI cùng sử dụng chung 1 nguồn clock đồng bộ.
* Mode 2: Tần số của master AXI sẽ lớn hơn tần số slave AXI m lần: clk\_m/clk\_s = m.
* Mode 3: Tần số của master AXI sẽ nhỏ hơn tần số slave AXI m lần: clk\_m/clk\_s = 1/m.